



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 09 月 25 日
Application Date

申 請 案 號：091122041
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2002 年 11 月 11 日
Issue Date

發文字號：09111022049
Serial No.

91122041

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多資料傳輸通道之核心邏輯晶片
	英文	Core Logic Chip with Multiple Data Channel
二、 發明人	姓名 (中文)	1. 劉智源 2. 林吉星
	姓名 (英文)	1. Chih-Yuan Liu 2. CHI-HSIN LIN
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. 2. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1. Cher Wang



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 林美齡 4. 余嘉興
	姓 名 (英文)	3. Mei-Ling Lin 4. Chia-Hsing Yu
	國 籍	3. 中華民國 4. 中華民國
	住、居所	3. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. 4. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	

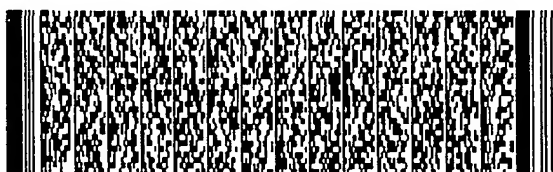


四、中文發明摘要 (發明之名稱：多資料傳輸通道之核心邏輯晶片)

本案係為一種核心邏輯晶片，應用於一個人電腦系統中，該個人電腦系統中包含有一系統記憶體模組與一顯示器，而該核心邏輯晶片上包含有下列電路構造：一原始記憶體控制電路，其係發出一第一讀寫信號；一第一資料傳輸通道，信號連接於該原始記憶體控制電路與該系統記憶體模組之第一部份之間，其係將該第一讀寫信號傳輸至該系統記憶體模組之第一部份；一繪圖加速器，信號連接於該顯示器，其係進行影像資料之處理後輸出至該顯示器；一備用記憶體控制電路，信號連接於該繪圖加速器，其係因應該繪圖加速器之控制而發出一第二讀寫信號；以及一第二資料傳輸通道，信號連接於該備用記憶體控制電路與該系統記憶體模組之第二部份之間，其係將該第二讀寫信

英文發明摘要 (發明之名稱：Core Logic Chip with Multiple Data Channel)

A core logic chip for use in a personal computer for use in a personal computer (PC) system is disclosed. The PC system includes a system memory module and a display. The core logic chip includes circuit structures of an original memory control circuit for outputting a first read/write signal; a first data channel communicating the original memory control circuit with a first portion of the system memory module, and allowing the first read/write signal to be



四、中文發明摘要 (發明之名稱：多資料傳輸通道之核心邏輯晶片)

號傳輸至該系統記憶體模組之第二部份。

英文發明摘要 (發明之名稱：Core Logic Chip with Multiple Data Channel)

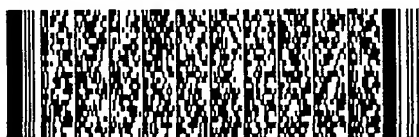
transmitted to the first portion of the system memory module therevia; a graphics accelerator in communication with the display for processing and outputting the image data to the display; a backup memory control circuit in communication with the graphics accelerator for generating a second read/write signal under the control of the graphics accelerator; and a second data channel communicating the backup memory control circuit with a second portion of the system memory module,



四、中文發明摘要 (發明之名稱：多資料傳輸通道之核心邏輯晶片)

英文發明摘要 (發明之名稱：Core Logic Chip with Multiple Data Channel)

and allowing the second read/write signal to be transmitted to the second portion of the system memory module therevia.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

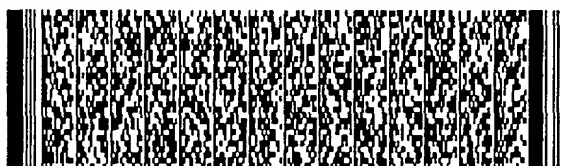
發明領域

本案係為一種核心邏輯晶片，尤指應用於個人電腦系統中之多資料傳輸通道之核心邏輯晶片。

發明背景

請參見第一圖(a)(b)，其係一目前常用之個人電腦系統架構示意圖，其核心部份主要係由微處理器10、北橋晶片11與南橋晶片12所構成，而系統記憶體13係利用一記憶體匯流排來連接至北橋晶片11。而第一圖(a)係表示出獨立繪圖晶片之系統架構圖，其中顯示卡14透過一周邊元件連接介面匯流排(PCI)或繪圖加速埠(AGP)匯流排來與北橋晶片11連接。而顯示卡14主要係包含有一繪圖加速器141與其專用匯流排所連接之區域記憶體(local memory) 142。至於第一圖(b)係表示出整合圖形晶片組之系統架構圖，其中繪圖加速器141已被整合到北橋晶片11中，因此，繪圖加速器141已無專用匯流排所連接之區域記憶體，取而代之的是定義於系統記憶體13中之一特定記憶體區塊131(通常被稱為繪圖加速埠記憶體區塊(AGP memory))，而與北橋晶片11共享連接至該記憶體13之記憶體匯流排以進行資料存取。

而於系統記憶體13與北橋晶片11間之習用記憶體匯流排構造屬於單通道架構，目前常見的資料寬度為64位元。



五、發明說明 (2)

然而，隨著系統記憶體13與北橋晶片11間傳輸資料量之日益增加，習用之單通道記憶體匯流排架構已逐漸無法應付實際資料傳輸之頻寬需求，更加上在整合圖形晶片組之架構中，該記憶體匯流排之資料傳輸頻寬尚需與繪圖加速器141共享，因此頻寬不足之情況更是嚴重。而如何改善上述習用構造之缺失，係為發展本案之主要目的。

發明概述

本案係為一種核心邏輯晶片，應用於一個人電腦系統中，該個人電腦系統中包含有一系統記憶體模組與一顯示器，而該核心邏輯晶片上包含有一下列電路構造：一原始記憶體控制電路，其係發出一第一讀寫信號；一第一資料傳輸通道，信號連接於該原始記憶體控制電路與該系統記憶體模組之第一部份之間，其係將該第一讀寫信號傳輸至該系統記憶體模組之第一部份；一繪圖加速器，信號連接於該顯示器，其係進行影像資料之處理後輸出至該顯示器；一備用記憶體控制電路，信號連接於該繪圖加速器，其係因應該繪圖加速器之控制而發出一第二讀寫信號；以及一第二資料傳輸通道，信號連接於該備用記憶體控制電路與該系統記憶體模組之第二部份之間，其係將該第二讀寫信號傳輸至該系統記憶體模組之第二部份。

根據上述構想，本案所述之核心邏輯晶片，其中該系統記憶體模組之第二部份係包含一畫面緩衝器。



五、發明說明 (3)

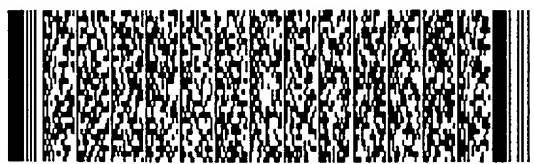
根據上述構想，本案所述之核心邏輯晶片，其中該系統記憶體模組係為一動態隨機存取記憶體模組。

根據上述構想，本案所述之核心邏輯晶片，其中該第一資料傳輸通道與該第二資料傳輸通道分別為獨立運作之兩資料匯流排。

本案之另一方面係為一種核心邏輯晶片，應用於一個人電腦系統中，該個人電腦系統中包含有一系統記憶體模組與一顯示器，而該核心邏輯晶片上包含有下列電路構造物：一繪圖加速器，信號連接於該顯示器，其係進行影像資料之處理後輸出至該顯示器；一原始記憶體控制電路，信號連接於該繪圖加速器，其係因應該繪圖加速器之控制信號而發出第一讀寫信號；一第一資料傳輸通道，信號連接於該原始記憶體控制電路，其係因應該繪圖加速器之控制信號而發出第二讀寫信號；以及一第二資料傳輸通道，信號連接於該第一讀寫信號與該第二讀寫信號之間，其係將該第二讀寫信號與該第一讀寫信號。

根據上述構想，本案所述之核心邏輯晶片，其中該系統記憶體模組中包含一畫面緩衝器。

根據上述構想，本案所述之核心邏輯晶片，其中該系統記憶體模組係為一動態隨機存取記憶體模組。



五、發明說明 (4)

根據上述構想，本案所述之核心邏輯晶片，其中該第一資料傳輸通道與該第二資料傳輸通道係組合成共同運作之一總資料匯流排。

簡單圖式說明

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第一圖(a)(b)：其係兩種目前常用之個人電腦系統架構示意圖。

第二圖：其係本案對於核心邏輯晶片所發展出來之第一較佳實施例示意圖。

第三圖：其係本案對於核心邏輯晶片所發展出來之第二較佳實施例示意圖。

本案圖式中所包含之各元件列示如下：

微處理器10

南橋晶片12

顯示卡14

區域記憶體142

繪圖加速器211

原始記憶體控制電路212

第一記憶體匯流排221

北橋晶片11

系統記憶體13

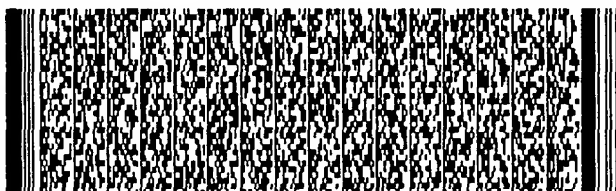
繪圖加速器141

特定記憶體區塊131

北橋晶片21

備用記憶體控制電路213 1

第二記憶體匯流排222



五、發明說明 (5)

系統記憶體模組23

畫面緩衝器231

顯示器20

較佳實施例說明

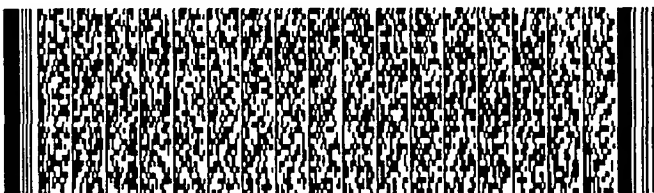
請參見第二圖，其係一本案對於核心邏輯晶片所發展出來之第一較佳實施例示意圖，本案之核心邏輯晶片主要係為一整合有繪圖加速器之北橋晶片，因此，繪圖加速器211已被整合到北橋晶片21中。而由於晶片本身之面積夠大，因此在不影響晶片本身製作成本下，還可於一原始記憶體控制電路212之外，再複製另一組備用記憶體控制電路213用以提供備用。其中原始記憶體控制電路212係透過一第一記憶體匯流排221所完成之資料傳輸通道來與系統記憶體模組23完成連接，而為能改善習用之單通道記憶體匯流排架構傳輸頻寬過小之缺失，本實施例係將備用記憶體控制電路213再另外設置一第二記憶體匯流排222所完成之另一資料傳輸通道來與系統記憶體模組23完成連接。如此一來，第一記憶體匯流排221與第二記憶體匯流排222將組成一雙倍頻寬之記憶體匯流排，使得繪圖加速器211可共同透過雙倍頻寬之記憶體匯流排發出雙倍資料寬度之讀寫信號(目前常見的資料寬度為64位元，而雙倍資料寬度則為128位元)來對系統記憶體模組23中之畫面緩衝器231來進行存取動作。因此，即使核心邏輯晶片本身與內嵌其中之繪圖加速器211共享該記憶體匯流排，也不會有頻寬



五、發明說明 (6)

不足之問題。

另外，為能有效增加繪圖加速器211之頻寬，本案係發展出如第三圖所示之第二較佳實施例示意圖，本實施例之核心邏輯晶片亦為一整合有繪圖加速器之北橋晶片，與第一實施例不同處在於第二記憶體匯流排222係供備用記憶體控制電路213與定義於系統記憶體模組23中之一特定記憶體區塊(通常為畫面緩衝器231)所專用。如此一來，繪圖加速器211將可透過專用之記憶體匯流排來對系統記憶體模組23中之畫面緩衝器231來進行存取動作，不會與該核心邏輯晶片本身搶原來之記憶體匯流排頻寬，也可有效降低原本頻寬不足之現象，進而達成發展本案之主要目的。然本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

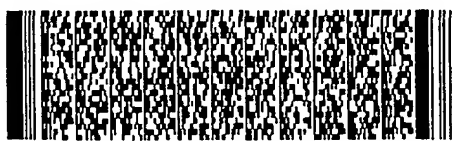


圖式簡單說明

第一圖(a)(b)：其係兩種目前常用之個人電腦系統架構示意圖。

第二圖：其係本案對於核心邏輯晶片所發展出來之第一較佳實施例示意圖。

第三圖：其係本案對於核心邏輯晶片所發展出來之第二較佳實施例示意圖。



六、申請專利範圍

1. 一種核心邏輯晶片，應用於一個人電腦系統中，該個人電腦系統中包含有一系統記憶體模組與一顯示器，而該核心邏輯晶片上包含有下列電路構造：

一原始記憶體控制電路，其係發出一第一讀寫信號；

一第一資料傳輸通道，信號連接於該原始記憶體控制電路與該系統記憶體模組之第一部份之間，其係將該第一讀寫信號傳輸至該系統記憶體模組之第一部份；

一繪圖加速器，信號連接於該顯示器，其係進行影像資料之處理後輸出至該顯示器；

一備用記憶體控制電路，信號連接於該繪圖加速器，其係因應該繪圖加速器之控制而發出一第二讀寫信號；以及

一第二資料傳輸通道，信號連接於該備用記憶體控制電路與該系統記憶體模組之第二部份之間，其係將該第二讀寫信號傳輸至該系統記憶體模組之第二部份。

2. 如申請專利範圍第1項所述之核心邏輯晶片，其中該系統記憶體模組之第二部份係包含一畫面緩衝器。

3. 如申請專利範圍第1項所述之核心邏輯晶片，其中該系統記憶體模組係為一動態隨機存取記憶體模組。

4. 如申請專利範圍第1項所述之核心邏輯晶片，其中該第一資料傳輸通道與該第二資料傳輸通道分別為獨立運作之兩資料匯流排。

5. 一種核心邏輯晶片，應用於一個人電腦系統中，該個人電腦系統中包含有一系統記憶體模組與一顯示器，而該核



六、申請專利範圍

心邏輯晶片上包含有下列電路構造：

一繪圖加速器，信號連接於該顯示器，其係進行影像資料之處理後輸出至該顯示器；

一原始記憶體控制電路，信號連接於該繪圖加速器，其係因應該繪圖加速器之控制而發出一第一讀寫信號；

一第一資料傳輸通道，信號連接於該原始記憶體控制電路與該系統記憶體模組之間，其係將該第一讀寫信號傳輸至該系統記憶體模組；

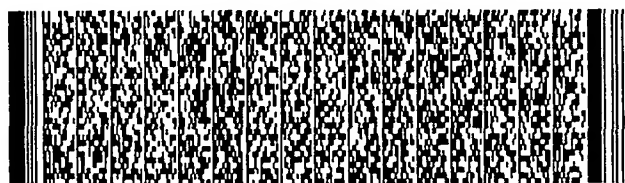
一備用記憶體控制電路，電連接於該繪圖加速器，其係因應該繪圖加速器之控制而發出一第二讀寫信號；以及

一第二資料傳輸通道，信號連接於該備用記憶體控制電路與該系統記憶體模組之間，其係將該第二讀寫信號傳輸至該系統記憶體模組，而該第一讀寫信號與該第二讀寫信號係組合成一總讀寫信號。

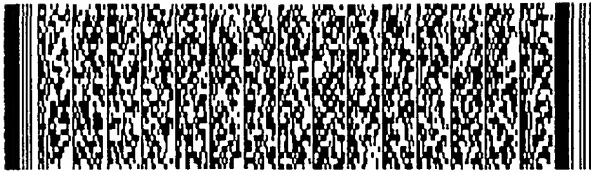
6. 如申請專利範圍第5項所述之核心邏輯晶片，其中該系統記憶體模組中係包含一畫面緩衝器。

7. 如申請專利範圍第5項所述之核心邏輯晶片，其中該系統記憶體模組係為一動態隨機存取記憶體模組。

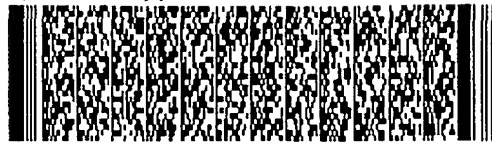
8. 如申請專利範圍第5項所述之核心邏輯晶片，其中該第一資料傳輸通道與該第二資料傳輸通道係組合成共同運作之一總資料匯流排。



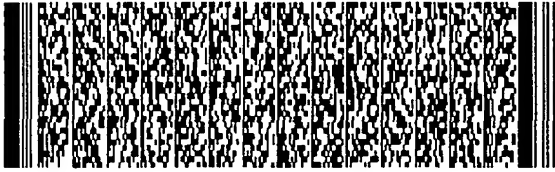
第 1/15 頁



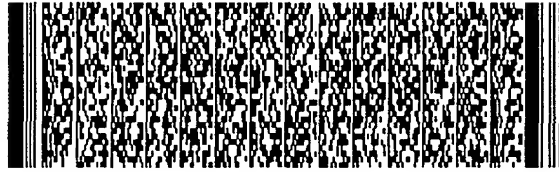
第 2/15 頁



第 3/15 頁



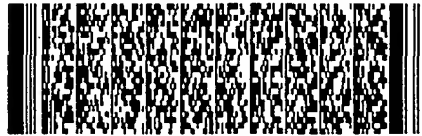
第 3/15 頁



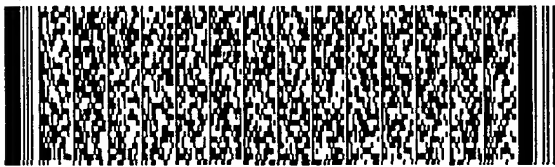
第 4/15 頁



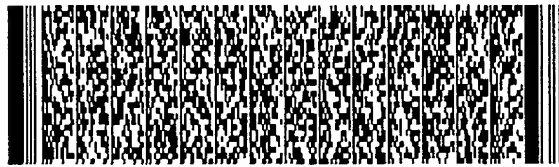
第 5/15 頁



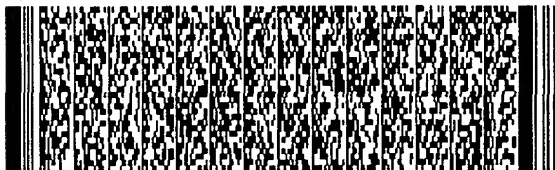
第 7/15 頁



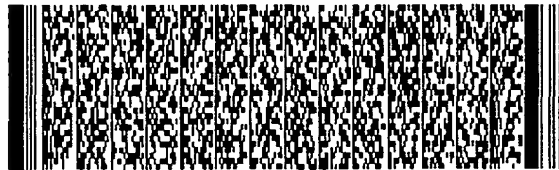
第 7/15 頁



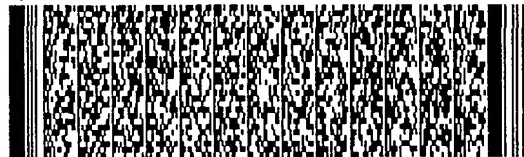
第 8/15 頁



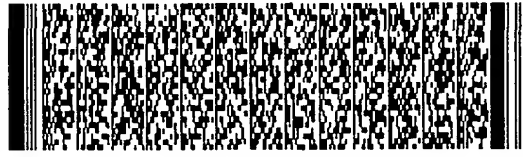
第 8/15 頁



第 9/15 頁



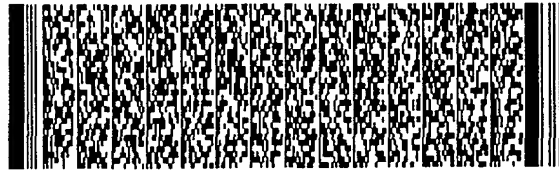
第 9/15 頁



第 10/15 頁



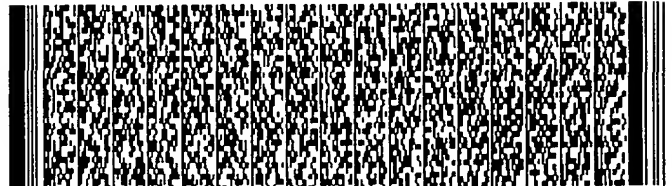
第 11/15 頁



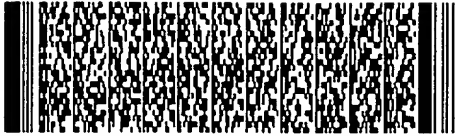
第 11/15 頁



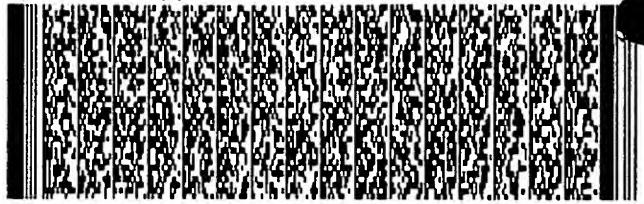
第 12/15 頁



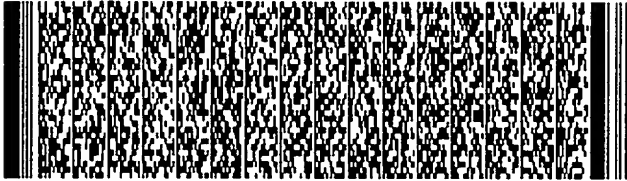
第 13/15 頁

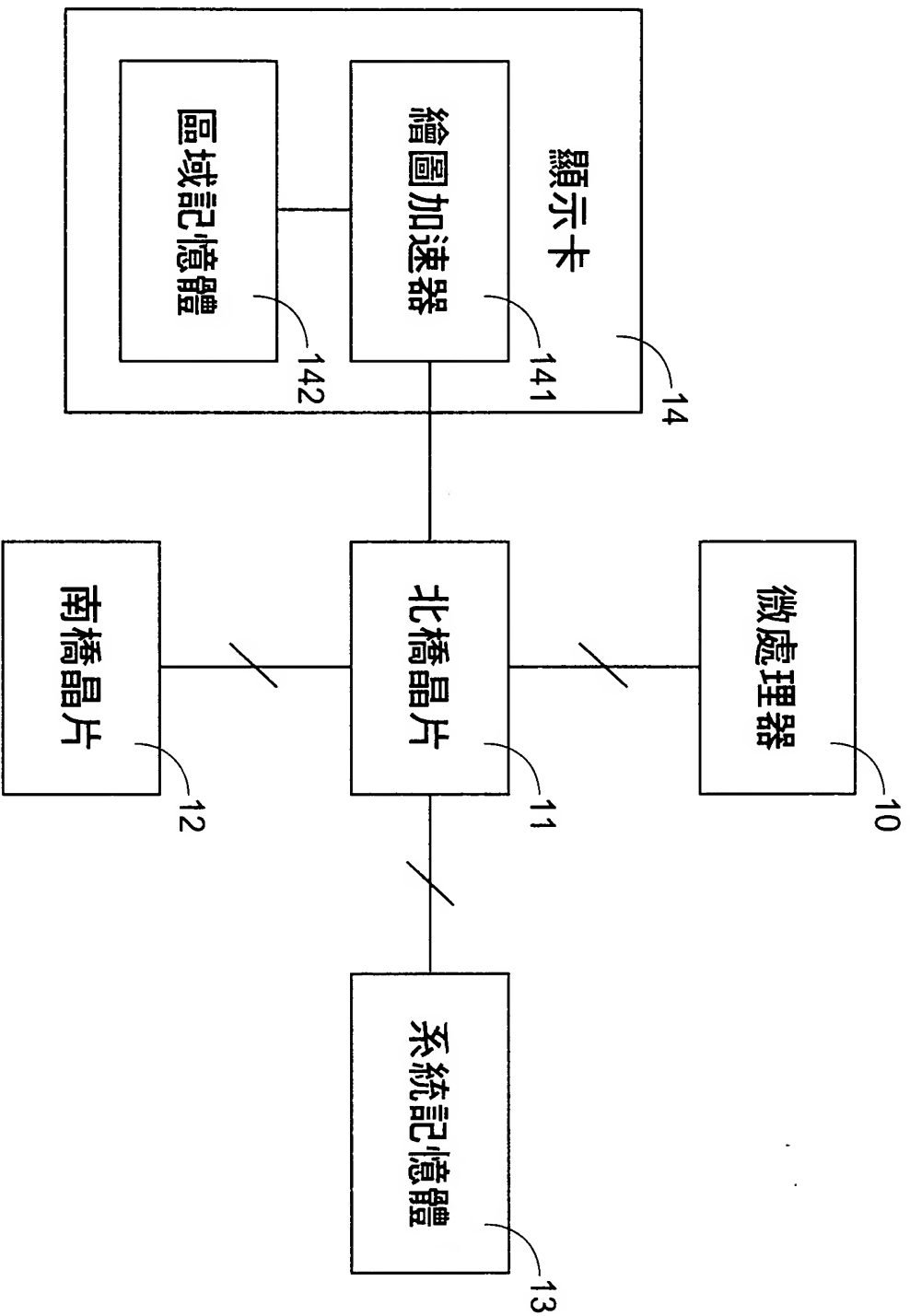


第 14/15 頁

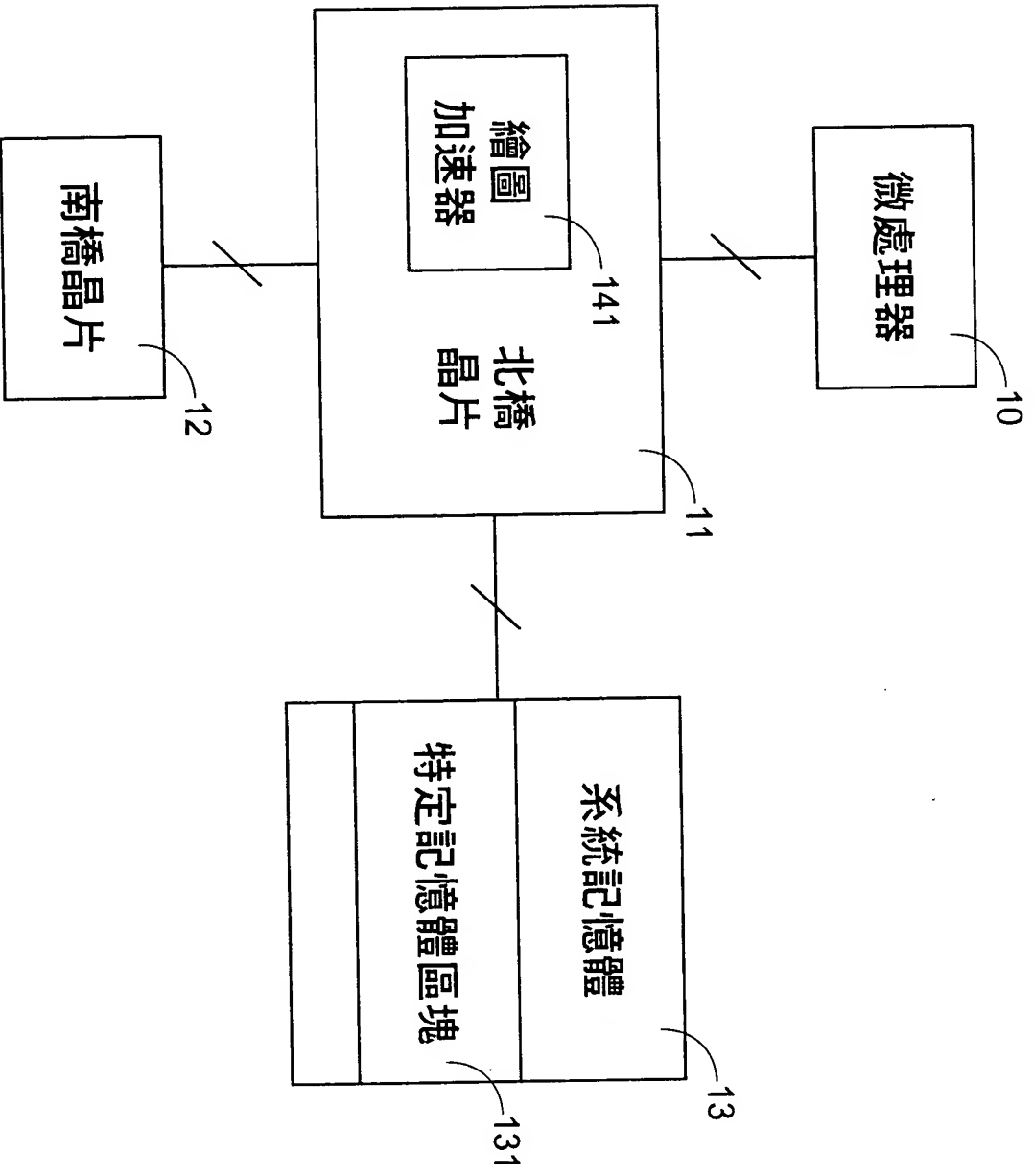


第 15/15 頁

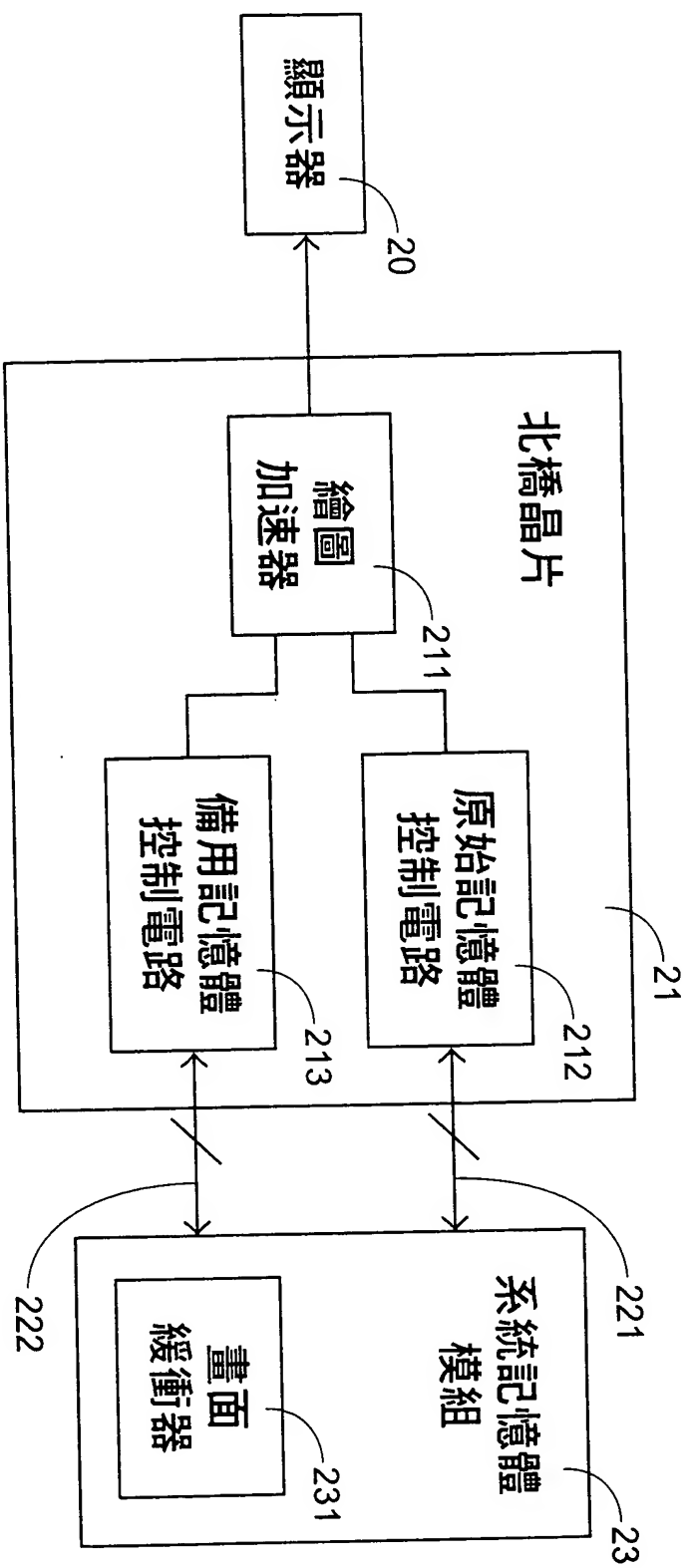




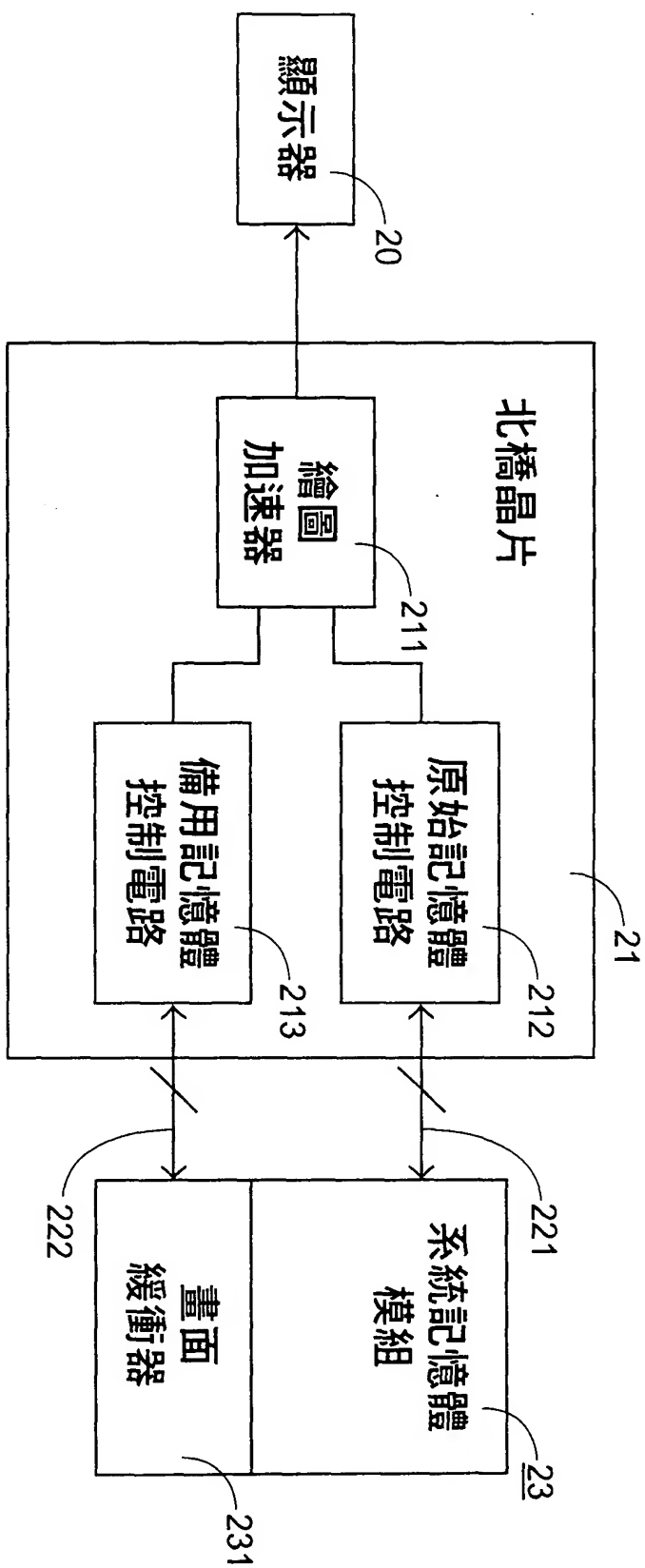
第一圖(a)



第一圖(b)



第二圖



第三圖